

(19) World Intellectual Property
Organization
International Bureau



(43) International Publication Date
21 October 2004 (21.10.2004)

PCT

(10) International Publication Number
WO 2004/090977 A1

(51) International Patent Classification⁷: **H01L 23/31,**
23/373, 23/495

(21) International Application Number:
PCT/EP2004/003750

(22) International Filing Date: 8 April 2004 (08.04.2004)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
103 16 136.8 9 April 2003 (09.04.2003) DE

(71) Applicant (for all designated States except US): **IXYS
SEMICONDUCTOR GMBH** [DE/DE]; Edisonstrasse
15, 68623 Lampertheim (DE).

(72) Inventor; and

(75) Inventor/Applicant (for US only): **LINDEMANN, An-
dreas** [DE/DE]; Martin-Kärcher-Strasse 30, 68623 Lam-
pertheim (DE).

(74) Agents: **OPPERMANN, Frank et al.**; John-F.-Kennedy-
Strasse 4, 65189 Wiesbaden (DE).

(81) Designated States (unless otherwise indicated, for every
kind of national protection available): AE, AG, AL, AM,

AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN,
CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(84) Designated States (unless otherwise indicated, for every
kind of regional protection available): ARIPO (BW, GH,
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),
Eurasian (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), Euro-
pean (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

Declaration under Rule 4.17:

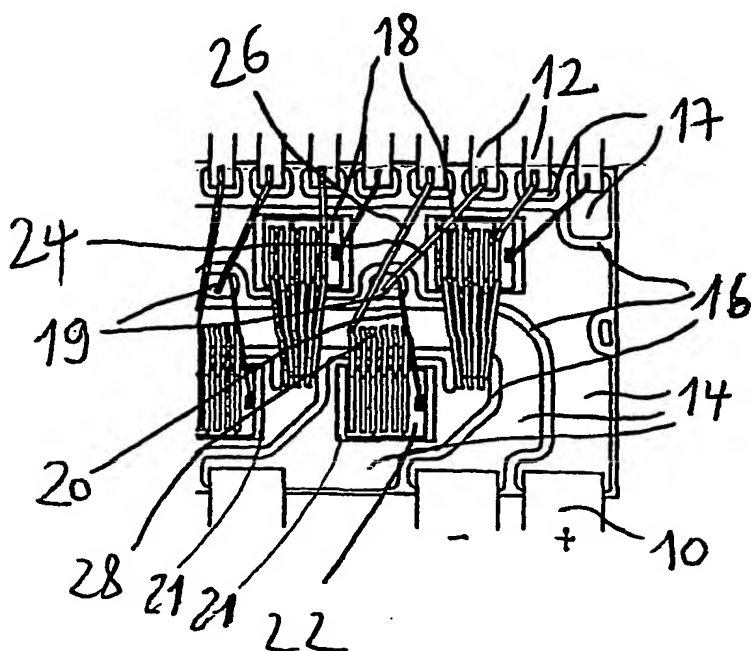
— of inventorship (Rule 4.17(iv)) for US only

Published:

— with international search report
— before the expiration of the time limit for amending the
claims and to be republished in the event of receipt of
amendments

For two-letter codes and other abbreviations, refer to the "Guid-
ance Notes on Codes and Abbreviations" appearing at the begin-
ning of each regular issue of the PCT Gazette.

(54) Title: **ENCAPSULATED POWER SEMICONDUCTOR ASSEMBLY**



(57) Abstract: The invention relates to an encapsulated power semiconductor assembly comprising a substrate consisting of an insulation material (ceramic), provided with a plurality of islands (14, 17, 18, 19), which are composed of a thermal conductive material, in particular of partial surfaces of a metal layer. Power semiconductor chips (22) are soldered onto said islands. Electric connections that run from the chips to the connecting elements (10 and 12) are produced in the form of bonding pads (20, 24) on additional islands or in the form of wires (28) and islands (14) that are configured as printed conductors. The substrate and the chips are encapsulated, whereas the connection elements (10 and 12) project beyond said encapsulation and the metallic underside of the substrate is exposed in order to be fastened to a heat sink.

Gekapselte Leistungshalbleiteranordnung

Gebiet der Erfindung:

Die Erfindung betrifft eine gekapselte Leistungshalbleitervorrichtung, in der eine Mehrzahl von Leistungshalbleiterchips eingekapselt sind.

Stand der Technik:

In Systemen, bei denen eine Spannungszufuhr mit Batterien erfolgt, insbesondere im Automobilbau, finden zunehmend Leistungshalbleiter Anwendung. Bei Spannungen von 12 bis 80 V treten häufig hohe Ströme auf, die an die Leistungsschalter besondere Ansprüche stellen. Zum Schalten hoher Ströme werden im Stand der Technik gekapselte Halbleiterchips eingesetzt. Es ist bekannt, mehrere Chips unter Verwendung eines Leiterrahmens gleichzeitig zu verkapseln, wie beispielsweise in der DE 26 36 450 C2 und der US 4 507 675 beschrieben ist. Anschließend werden die einzelnen Leistungshalbleiterbauelemente, die über jeweils einen Chip verfügen, wieder voneinander getrennt.

Die Zuleitungen zu den Chips, die von aus der Umkapselung ragenden Anschlusselementen ausgehen, sind häufig aus Gründen des Aufbaus der Leistungshalbleiteranordnung so bemessen, dass die Zuleitungen unerwünscht hohe Widerstände aufweisen, was zu Aufwärmeeffekten führt. Ferner treten oft auch parasitäre Induktivitäten auf, die Überspannungseffekten zur Folge haben können.

In der WO 00/07238 ist eine gekapselte Leistungshalbleiteranordnung mit nur einem Chip beschrieben, der auf ein Keramiksubstrat aufgebracht ist, das an seiner

Ober- und Unterseite mit Kupfer beschichtet ist. Derartige Keramiksubstrate werden auch als Direct-Copper-Bond-Substrate bezeichnet. Sie haben den Vorteil, dass der Chip einerseits gegenüber dem Kühlkörper elektrisch isoliert ist und andererseits die Wärme in den Kühlkörper abgeleitet wird.

Aus der EP 0063070 A1 ist bekannt, eine Mehrzahl von Leistungshalbleiterchips zu kombinieren. Dort sind zwei untereinander elektrisch nicht verbundene Chips auf eine thermisch gut leitende Platte aufgebracht und jeweils mit Anschlusselementen verbunden. Über die Platte wird die Wärme an eine Grundplatte abgeführt.

Darüber hinaus ist es bekannt, eine größere Anzahl von Bauelementen auf einem metallischen Kamm anzuordnen, der bis auf eine Kühlfläche mit Kunststoff umpresst wird (BBC BROWN BOVERI, Leistungshalbleiter, Dr. Heimo Buri, Mannheim 1982). Später werden die einzelnen Bauelemente wieder voneinander getrennt. Diese Umpresstechnik findet dann Anwendung, wenn kleinere Bauelemente in großer Stückzahl kostengünstig hergestellt werden sollen.

Aus der DE 697 10 885 T2 ist eine Baugruppe für Dioden bekannt, die über einen flachen Träger aus Aluminiumoxid verfügt, auf dem eine Metallisierung aufgebracht ist, die sich nur über einen Teil der Oberfläche erstreckt. Auf der Metallisierung sind die Dioden montiert. Auf der den Dioden gegenüberliegenden Seite des Trägers sind Kontaktflächen vorgesehen, die über Verbindungselemente, die durch den Träger hindurchtreten, elektrisch mit den Dioden verbunden sind. Der Träger bildet den Boden eines Gehäuses, das die Dioden umschließt.

Die DE 196 35 582 C1 beschreibt ein Leistungs-Halbleiterbauelement, das über ein oberflächenmontierbares Gehäuse verfügt. Das Gehäuse schließt einen Chip ein, der auf eine Metallplatte aufgebracht ist.

Zusammenfassung der Erfindung:

Der Erfindung liegt die Aufgabe zugrunde, eine kostengünstig zu fertigende Leistungshalbleiteranordnung mit einer Mehrzahl von Chips zu schaffen, die verbesserte Eigenschaften hat, insbesondere Wärme besser zum Kühlkörper abführt, bei der weniger Überspannungen und weniger parasitäre induktive Effekte auftreten, und bei der die Chips zumindest teilweise auch untereinander elektrisch verbunden sein können.

Diese Aufgabe wird mit den Merkmalen des Anspruchs 1 gelöst.

Vorteilhafte Ausführungsformen der Erfindung sind Gegenstand der Unteransprüche.

Da die Chips auf thermisch leitenden Inseln, vorzugsweise auf mehrere Inseln, insbesondere jeder einzelne Chip auf einer gesonderten Insel platziert sind, wird die Wärme von den Chips nicht in eine geschlossene Leiterschicht abgeleitet, sondern nur in einen isolierten, also getrennten Bereich. Von diesem Bereich aus gelangt die Wärme dann direkt in das Isolatorsubstrat und kann von diesem aus nach unten abgeleitet werden. Beispielsweise kann die Wärme in eine auf der Unterseite des Substrats angeordnete Metallschicht abgeleitet werden, die nicht umkapselt ist, also freiliegt und somit die Wärme an einen Kühlkörper abgeben kann. Die elektrischen Verbindungen werden dann weniger oder kaum erwärmt.

Das thermisch und elektrisch leitfähige Material ist vorzugsweise ein Metall, insbesondere in Form einer dünnen Schicht.

Die Anordnung der Inseln mit und ohne Chips erlaubt eine Optimierung der elektrischen Verbindungen. Die elektrischen Verbindungen können Lötverbindungen, (Bond-)Drahtverbindung oder auch Verbindungen über die Inseln umfassen. Bei einer Optimierung der Belegung der Anschlusselemente

kann auf parasitäre Induktivitäten geachtet werden, beispielsweise indem einen Hauptstrom führende Anschlusselemente nebeneinander angeordnet sind. Damit an benachbarten Anschlusselementen nicht zu hohe Spannungen anliegen, sind die Inseln vorzugsweise so ausgebildet, dass zumindest in der Grundtendenz solche Anschlusselemente näher zueinander angeordnet sind, an denen Potential liegen, die einen geringen Potentialabstand (Spannung) haben als solche Anschlusselemente, an denen Potential liegen, die einen hohen Potentialabstand haben. Die Anschlusselemente können auf zwei, insbesondere gegenüberliegenden Seiten der Umkapselung angeordnet sein, wobei sie aus dieser herausragen. Sie sind flache Leiteranschlüsse, die auch innerhalb oder außerhalb der Umkapselung gebogen sein können. Die Leiteranschlüsse

müssen nicht alle dieselben Abmessungen und im gleichen Abstand zueinander angeordnete sein. Auf einer Seite der Umkapselung können sie z.B. schmaler sein und geringere Abstände zum nächsten Nachbarn aufweisen als auf der anderen Seite der Umkapselung. Die breiteren Leiteranschlüsse auf der einen Seite der Umkapselung können auch weniger zahlreich sein als es die schmalen auf der anderen Seite der Umkapselung sind. Unter den Leiteranschlüssen kann in der Umkapselung ein Schlitz bzw. eine Aussparung zur Aufnahme eines Isolators, beispielsweise eine Kunststofffolie, vorgesehen sein, damit die Leiteranschlüsse bei der Kontaktierung der metallisierten Unterseite des Substrats mit einer Wärmesenke von dieser getrennt sind, so dass elektrische Kurzschlüsse vermieden werden.

Bei der Erfindung wird ein metallisiertes Keramiksubstrat verwendet, beispielsweise ein Direkt-Kupfer-Bond-Substrat oder ein Direkt-Aluminium-Bond-Substrat, wobei das Keramikmaterial Aluminiumoxid und/oder Aluminiumnitrid umfassen kann. Die Chips können auf die Metallinseln gelötet sein.

Es kann eine Vielzahl verschiedener Chips verwendet werden, beispielsweise MOSFET-, Dioden-, IGBT- und/oder Thyristorchips, die in ihrer Zusammenwirkung beispielsweise einen Einzelschalter, einen Chopper, einen Phasenverschieber, eine H-Brücke oder eine Dreiphasenbrücke oder eine Kombination dieser Elemente bilden können.

Kurze Beschreibung der Zeichnung:

Nachfolgend wird eine bevorzugte Ausführungsform der Erfindung unter Bezugnahme auf die Zeichnung beschrieben, in der zeigen:

- Fig. 1 eine schematische Innenansicht eines Ausschnitts aus der erfindungsgemäßen Leistungshalbleitervorrichtung in der Draufsicht,
- Fig. 2 die erfindungsgemäße Leistungshalbleiteranordnung in der Draufsicht,
- Fig. 3 die Leistungsanordnung in der Unteransicht,
- Fig. 4 einen Ausschnitt der Leistungshalbleiteranordnung in geschnittener und vergrößerter Darstellung, und
- Fig. 5 ein Schaltbild einer Kombination von sechs Leistungshalbleiterchips für eine Ausführungsform der Erfindung

Beschreibung einer bevorzugten Ausführungsform der Erfindung:

Fig. 1 zeigt einen Ausschnitt einer Leistungshalbleiteranordnung, bei der auf der einen im Bild unteren Seite drei Anschlusselemente 10 und auf der

gegenüberliegenden im Bild oberen Seite acht Anschlusselemente 12 zu erkennen sind, die wesentlich schmaler sind und einen geringeren Abstand voneinander haben als die Anschlusselemente 10. Auf der Oberseite des Substrats, das aus einem keramischen Isolatormaterial besteht, befinden sich im Inseln aus einem thermisch und elektrisch leitfähigen Material. Diese Inseln werden durch eine Metallschicht gebildet, die durch Gräben 16, die mittels Ätzen erzeugt worden sind, voneinander getrennt sind. Die Metallschichtinseln dienen der elektrischen Verbindung und der Befestigung der Anschlusselemente 10 und der Leistungshalbleiterchips 22.

Die oberen Anschlusselemente 12 sind jeweils mit nebeneinander angeordneten Inseln 17 am oberen Rand des Substrats mechanisch und elektrisch verbunden. Die unteren Anschlusselemente 10 sind mit als Leiterbahnen ausgebildeten Inseln 14 elektrisch und mechanisch verbunden. Auf die Inseln 21 im mittleren Bereich des Substrats sind die Leistungshalbleiterchips 22 gelötet. Ferner sind zwischen zwei Leiterbahnen 14 etwas kleinere Metallschichtinseln 19 vorgesehen, die zum Aufbonden von Drähten für die elektrische Verbindung der Halbleiterchips mit den Anschlusselementen dienen. Gezeigt ist beispielsweise ein Bonddraht 20, der von einem Chip 22 zu einer Insel 19 führt. Ein weiterer Bonddraht 24 stellt dann die Verbindung zu einem Anschlusselement 12 her, das wiederum mit einer Insel verbunden ist. Ein dritter Bonddraht 26 ist vom Chip 22 über eine Leiterbahn 14 zu einem Anschlusselement 12 geführt. Ferner ist der Chip über eine Vielzahl nebeneinander geordneter Drähte 28 mit einem Leiterbereich 14 verbunden. In ähnlicher Weise sind die elektrischen Verbindungen der anderen Chips hergestellt. Zur Verringerung von Induktivitäten sind die Stromanschlüsse +, - unmittelbar nebeneinander angeordnet, und die stromführenden Leiterbahnen bilden keine Leiterschleife.

Die Metallschicht ist eine Kupferschicht, die auf einem relativ dünnen Keramiksubstrat aufgebracht ist, das beispielsweise ca. 0,38 mm dünn, vorzugsweise kleiner als 1,0 mm. Dies genügt als Isolierung für Spannungen, wie sie im Automobilbau verwendet werden, also nicht zu hoch sind. Rückseitig ist

~~das Keramiksubstrat ebenfalls mit Kupfer beschichtet. Es wird also ein Direct-Copper-Bond-Substrat verwendet.~~

Die Fig. 2 zeigt die erfindungsgemäße Leistungshalbleiteranordnung in der Draufsicht. Die Leistungshalbleiterchips werden von einer monolithischen Umkapselung 30 aus Kunststoff umschlossen, die um das Keramiksubstrat gepresst sind. Diese Umpresstechnik ist dem Fachmann bekannt. Die Umkapselung erstreckt sich über die gesamte Oberseite des Substrats und hintergreift die Unterseite des Substrats. Aus der Umkapselung 30 stehen die Anschlusselemente 10, 12 in Form von flachen Leiteranschlüssen seitlich heraus.

Bei der in Fig. 3 dargestellten Ansicht derselben Leistungshalbleiteranordnung von unten sieht man, dass das Substrat von der Umkapselung nicht völlig umschlossen ist, sondern die untere Metallschicht 32 freiliegt und von einem schmalen umlaufenden Rand 38 der Umkapselung umgeben wird. Die Leistungshalbleiteranordnung kann auf diese Weise gut an eine Wärmesenke angekoppelt werden. An dem schmalen umlaufenden Rand tritt die Umkapselung unter Bildung von Absätzen 37 zurück, so dass schmale Spalten entstehen, wenn die Halbleiteranordnung mit der unteren Metallschicht auf einem Kühlkörper aufliegt (Fig. 4). In diese Spalte kann sich ein flacher Isolator erstrecken, der unter die Leiteranschlüsse geschoben wird. Der Isolator, beispielsweise ein Kunststoffplättchen, dient der Vermeidung von Kurzschlüssen zwischen den Leiteranschlüssen und dem Kühlkörper und gleichsam der Erhöhung der Spannungsfestigkeit.

Die verschiedenen Chips können mit der erfindungsgemäßen Leistungshalbleitervorrichtung hervorragend miteinander verschaltet werden. Fig. 5 zeigt als Beispiel die Verschaltung von sechs Elementen als Dreiphasenbrücke. Jedes Element enthält einen MOSFET 34 mit Gateanschluss G1, G2, G3, G4, G5 bzw. G6 und Sourceanschluss S1, S2, S3, S4, S5 bzw. S6 sowie eine Diode 36, die entweder jeweils Teil eines MOSFETs oder auch gesondert in Form einer

Schottkydiode bereitgestellt sein kann. Andere, hier nicht dargestellte Verschaltungen können eine H-Brücke oder einen Phasenschieber bilden.

Patentansprüche:

1. Gekapselte Leistungshalbleiteranordnung mit:
 - einem Substrat aus einem keramischen Isolatormaterial mit mindestens einer Insel (14, 17, 18, 19) aus einem thermisch und elektrisch leitfähigen Material,
 - mindestens zwei auf den Inseln angeordneten Leistungshalbleiterchips (22),
 - elektrischen Verbindungen (20, 24, 26, 28, 14) von den Chips zu Anschlusselementen (10, 12), wobei mindestens zwei Anschlusselemente elektrisch mit den Inseln verbunden sind, dadurch gekennzeichnet, dass eine Umkapselung (30) aus umpresstem Kunststoffmaterial vorgesehen ist, die die Leistungshalbleiterchips (22) vollständig und das Substrat zumindest teilweise umgibt, wobei die Anschlusselemente (10, 12) als aus der Umkapselung herausragende flache Leiteranschlüsse ausgebildet sind und dass das Substrat auf der den Inseln gegenüberliegenden Seite eine Metallbeschichtung (32) aufweist.
2. Leistungshalbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Inseln (14, 17, 18, 19) getrennte Teilflächen einer Metallschicht umfassen.
3. Leistungshalbleiteranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Substrat ein Keramiksubstrat ist, das insbesondere Aluminiumoxid- oder Aluminiumnitrid-Keramikmaterial umfasst.
4. Leistungshalbleiteranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Metallbeschichtung (32) des Substrats auf der den Inseln gegenüberliegenden Seite zumindest teilweise freiliegt.

5. Leistungshalbleiteranordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass das Substrat ein Direct-Kupfer-Bond- oder Direct-Aluminium-Bond-Substrat ist.
6. Leistungshalbleiteranordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die elektrischen Verbindungen Lötverbindungen umfassen.
7. Leistungshalbleiteranordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die elektrischen Verbindungen Drahtverbindungen (20, 24, 26, 28) und/oder Verbindungen (14) über die Inseln umfassen.
8. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass sich an zwei verschiedenen Seiten der Umkapselung Anschlusselemente (10, 12) befinden.
9. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Anschlusselemente (10, 12) so angeordnet und mit den Chips verbunden sind, dass einen Hauptstrom führende Anschlusselemente nebeneinander angeordnet sind.
10. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Anschlusselemente (10, 12) so angeordnet und mit den Chips verbunden sind, dass zwei Anschlusselemente, an denen Potentiale anliegen, die einen hohen Potentialabstand zueinander haben, weiter voneinander entfernt sind als zwei Anschlusselemente, an denen Potential anliegen, die einen niedrigen Potentialabstand zueinander haben.

- ~~11. . . . Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche,~~
dadurch gekennzeichnet, dass die Chips (22) mittels Lötverbindungen an einer Metallinsel befestigt sind.
12. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass an der Unterseite der Umkapselung (30) mindestens ein Absatz (37) zum Einschieben eines flachen Isolators ausgebildet ist.
13. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Chips MOSFET-, Dioden-, IGBT- und/oder Thyristorchips umfassen.
14. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Chips in ihrer Zusammenwirkung einen Einzelschalter, einen Chopper, einen Brückenweig, eine H-Brücke oder eine Dreiphasenbrücke (Fig. 4) oder eine Kombination dieser Elemente bilden.

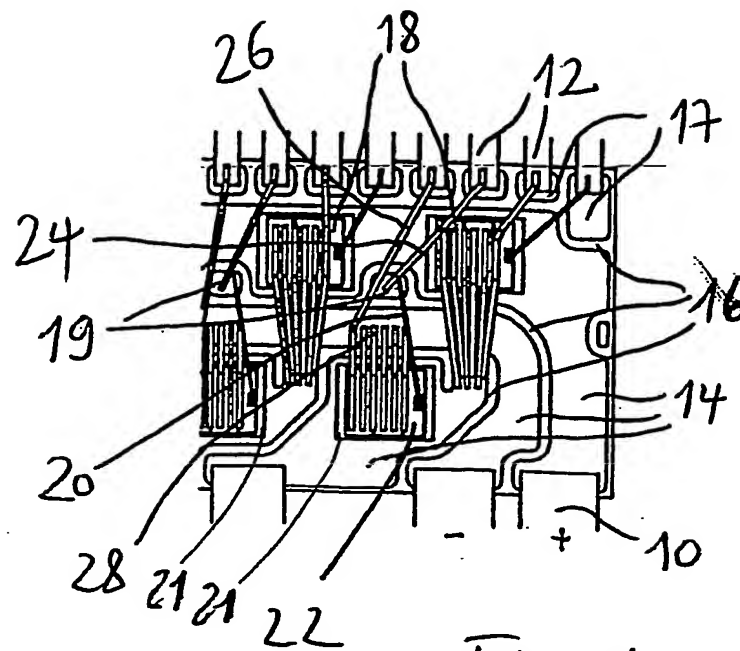


Fig. 1

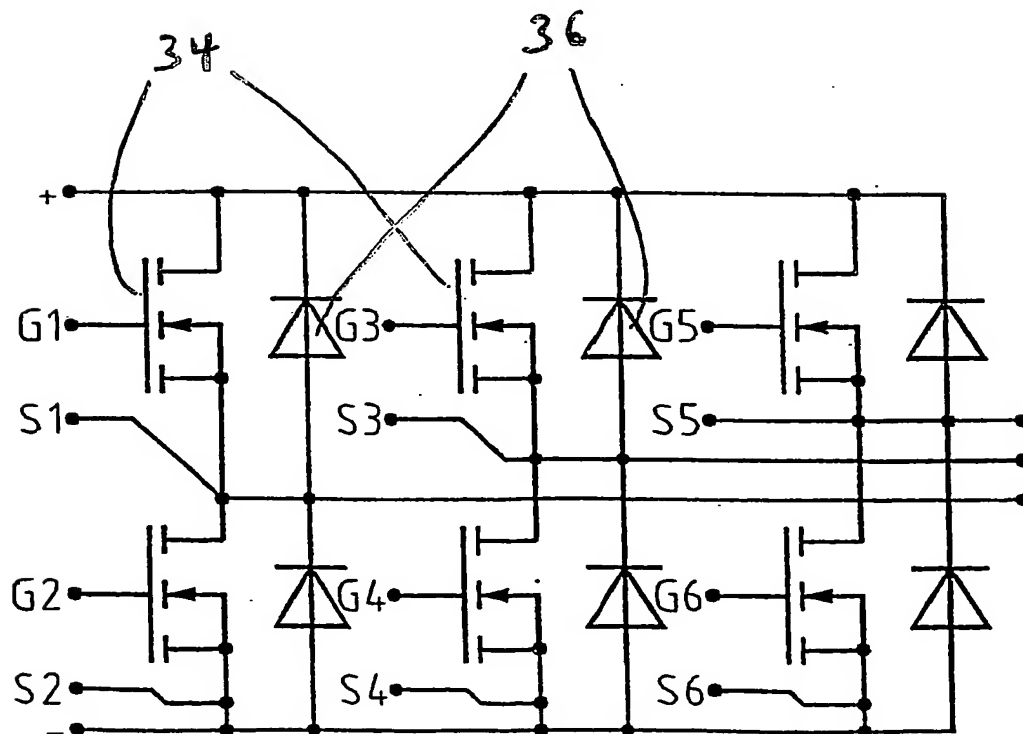


Fig. 5

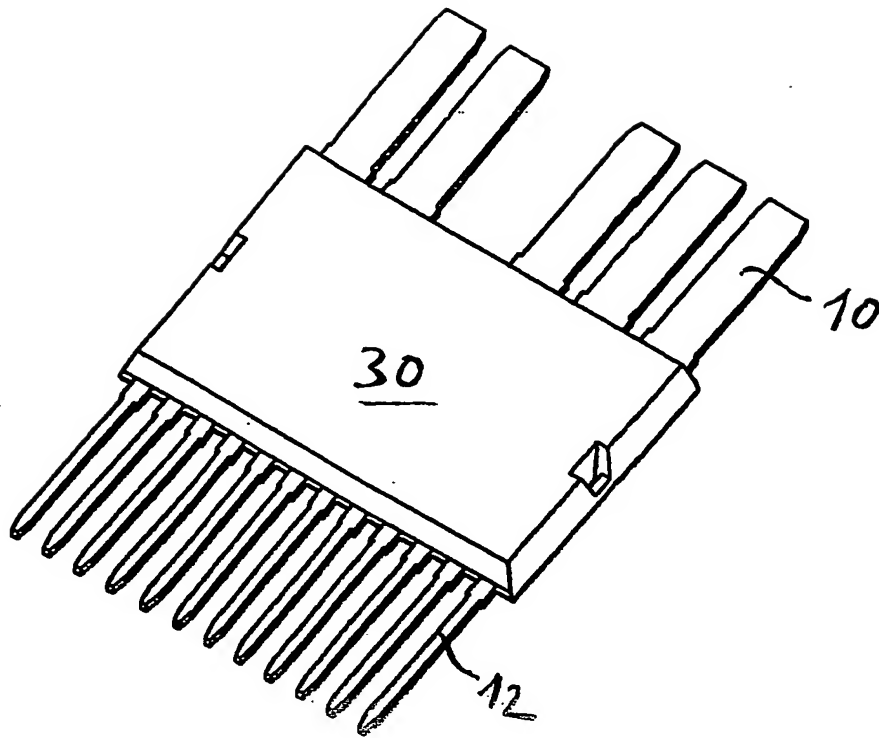


Fig. 2

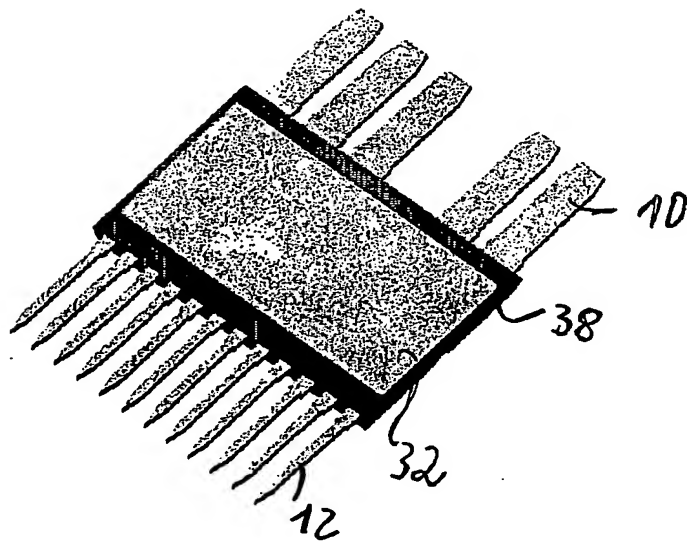


Fig. 3

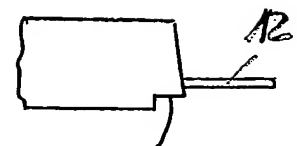


Fig. 4

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2004/003750

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L23/31 H01L23/373 H01L23/495

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L H05K H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 196 25 240 A (MITSUBISHI ELECTRIC CORP) 30 April 1997 (1997-04-30) column 6, line 42 - column 7, line 32 column 8, line 47 - column 9, line 8 column 14, line 64 - column 15, line 15 column 16, line 63 - column 18, line 30 claims 10,13 figures 9-11	1-11,13, 14
Y	----- -/--	12

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

Z document member of the same patent family

Date of the actual completion of the international search

1 September 2004

Date of mailing of the international search report

09/09/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Weis, T

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP2004/003750

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 198 964 A (SAKAMOTO TOMOO ET AL) 30 March 1993 (1993-03-30) column 7, line 22 - column 8, line 50 column 9, line 16 - column 10, line 29 claims 1,3,4 figures 8,9,14,17-21	12
A		1,3,4, 6-9,11
A	US 5 581 121 A (ROANE JERRY M ET AL) 3 December 1996 (1996-12-03) column 7, line 64 - column 9, line 6 claims 1,7-9 figures 8-13	1,4,8,12
A	EP 0 277 546 A (SIEMENS AG) 10 August 1988 (1988-08-10) column 1, line 23 - column 2, line 25 claims 1,2 figures 1,2	1-3,6,7, 9-14
A	EP 0 594 395 A (FUJITSU GENERAL LTD) 27 April 1994 (1994-04-27) column 4, line 7 - column 5, line 34 claims 1-3,5,6,8-10 figures 1-3	1-8, 11-13
A	EP 1 255 297 A (IXYS CORP) 6 November 2002 (2002-11-06) paragraphs '0016! - '0023! paragraphs '0036!, '0037! paragraphs '0047! - '0051! claims 12,15 figures 1-3,13A-13D	1,3-6,8, 9,11-13
P,X	WO 03/071601 A (HABLE WOLFRAM ; BERGMANN ROBERT (DE); INFINEON TECHNOLOGIES AG (DE)) 28 August 2003 (2003-08-28) page 3, line 30 - page 5, line 11 page 6, lines 18-27 page 8, line 24 - page 10, line 32 claims 1,5-10,12-14 figures 1-3	1-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/EP2004/003750

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 19625240	A	30-04-1997	JP 3429921 B2	28-07-2003
			JP 9129822 A	16-05-1997
			DE 19625240 A1	30-04-1997
			FR 2740610 A1	30-04-1997
			US 5767573 A	16-06-1998
US 5198964	A	30-03-1993	JP 2901091 B2	02-06-1999
			JP 4137551 A	12-05-1992
			KR 215517 B1	16-08-1999
US 5581121	A	03-12-1996	US 5369056 A	29-11-1994
			US 6194247 B1	27-02-2001
			US 5644161 A	01-07-1997
			US 5801437 A	01-09-1998
			US 5864175 A	26-01-1999
			US 5843807 A	01-12-1998
			US 5828125 A	27-10-1998
			US 5895232 A	20-04-1999
			AU 6493694 A	24-10-1994
			WO 9423447 A1	13-10-1994
			US 5369058 A	29-11-1994
			US 5978227 A	02-11-1999
EP 0277546	A	10-08-1988	DE 3871968 D1	23-07-1992
			EP 0277546 A1	10-08-1988
			JP 6080762 B	12-10-1994
			JP 63193553 A	10-08-1988
			US 4907068 A	06-03-1990
EP 0594395	A	27-04-1994	JP 6038247 U	20-05-1994
			JP 6038248 U	20-05-1994
			JP 6038246 U	20-05-1994
			CN 1086373 A ,B	04-05-1994
			DE 69325232 D1	15-07-1999
			DE 69325232 T2	17-02-2000
			EP 0594395 A2	27-04-1994
EP 1255297	A	06-11-2002	US 5398160 A	14-03-1995
			EP 1255297 A2	06-11-2002
			US 2002171134 A1	21-11-2002
WO 03071601	A	28-08-2003	US 2003186483 A1	02-10-2003
			WO 03071601 A2	28-08-2003